

## ПРОБЛЕМЫ ПОСТРОЕНИЯ БОРТОВЫХ КОМПЛЕКСОВ С АРХИТЕКТУРОЙ ИНТЕГРИРОВАННОЙ МОДУЛЬНОЙ АВИОНИКИ<sup>1</sup>

© 2016 г. В.А. Костенко, Р.Л. Смелянский

Москва, МГУ им. М.В.Ломоносова

E-mail: [kostmsu@gmail.com](mailto:kostmsu@gmail.com); [smel@cs.msu.su](mailto:smel@cs.msu.su)

В работе рассмотрены основные особенности интегрированной модульной авионики и на примере радиолокационной системы рассмотрены причины, которые могут приводить к увеличению аппаратных затрат на построение комплексов бортового радиоэлектронного оборудования и сроков их проектирования.

### **Введение.**

Комплекс бортового радиоэлектронного оборудования (БРЭО) вне зависимости от его архитектуры характеризуется набором режимов, в которых он должен работать. Например, набор режимов для комплекса БРЭО международной космической станции следующий [1]:

- стандартный режим;
- режим микрогравитации для выполнения научных экспериментов;
- режим сближения и стыковки с транспортными кораблями;
- режим для выхода экипажа в открытый космос;
- режим выживания с отключением наименее важных экспериментов и систем;
- режим аварийного покидания экипажем МКС.

Для каждого режима задаются:

- набор функциональных программ (функциональных задач), которые должны выполняться в режиме;
- для каждой программы задается частота выполнения или набор директивных интервалов, в пределах которых должна выполняться программа.

---

<sup>1</sup> Работа выполнена при финансовой поддержке РФФИ, грант № 16-07-01237.

Разработка новых архитектур комплексов БРЭО и технологий их построения направлены, прежде всего, на достижения следующих целей:

1. Сокращение аппаратных затрат необходимых для выполнения функциональных программ в реальном времени.
2. Сокращения сроков и стоимости проектирования комплекса.
3. Повышение надежности комплекса.

Комплексы БРЭО относятся к классу систем жесткого реального времени. В системах жесткого реального времени нарушение директивных интервалов выполнения функциональных программ недопустимо. Для бортовых систем еще задаются требования к надежности и ограничения на массогабаритные характеристики комплекса. В настоящее время комплексы БРЭО имеют или федеративную архитектуру или интегрированную модульную архитектуру. Наиболее широко используемый подход к построению комплексов БРЭО с интегрированной модульной архитектурой известен как интегрированная модульная авионика (ИМА). Уменьшение затрат на вычислительные ресурсы, повышение надежности, сокращение сроков и стоимости проектирования в ИМА предлагается достигать за счет унификации аппаратных и программных компонентов используемых при построении комплекса.

В работе рассматриваются причины, которые могут приводить к уменьшению эффективности использования аппаратных ресурсов комплексов с архитектурой ИМА и, следовательно, приводить к увеличению их массогабаритных характеристик, а также проблема увеличения сложности этапа комплексирования по сравнению с комплексами БРЭО с федеративной архитектурой.

## **1. Основные принципы построения комплексов БРЭО с архитектурой интегрированной модульной авионики.**

В комплексах БРЭО можно выделить три уровня обработки данных:

- 1) уровень предобработки входных данных,
- 2) уровень первичной обработки данных,
- 3) уровень вторичной обработки данных.

Для обеспечения выполнения функциональных программ в режиме реального времени (выполнение с требуемой частотой или в рамках заданного директивного интервала) наибольшая производительность необходима на уровне первичной обработки данных.

Каждая подсистема в комплексах БРЭО с федеративной архитектурой имеет свой вычислитель для первичной обработки данных, который соединяется с источниками/приемниками данных устройств подсистемы локальной сетью обмена. В качестве бортовой сети обмена во многих комплексах используется канал с централизованным управлением. Для обеспечения требуемой производительности очень часто используются специализированные вычислительные модули. На вычислительных модулях подсистемы не могут выполняться функциональные программы других подсистем.

Основной особенностью ИМА является унификация аппаратных и программных компонентов комплекса и возможность переноса программ первичной обработки информации на единый бортовой вычислитель. Под термином единый бортовой вычислитель мы понимаем набор вычислительных модулей, на каждый из которых системный интегратор комплекса может размещать прикладные программы подсистем. В комплексах БРЭО с федеративной архитектурой даже универсальные вычислительные модули подсистем недоступны для системного интегратора комплекса.

Основные принципы построения комплексов БРЭО на основе ИМА регламентирует стандарт ARINC 651 [2]. Уменьшение затрат на вычислительные ресурсы предполагается достигать за счет того, что используется единый бортовой вычислитель и его ресурсы могут разделять прикладные программы различных бортовых подсистем.

Экономия возможна за счет того, что работа некоторых подсистем в одном режиме невозможна и за счет неравномерной загрузки вычислителя программами подсистемы. Есть отрезки времени, на которых загрузка равна нулю и отрезки времени на которых загрузка достигает больше 90%.

Сокращение сроков и стоимости проектирования, а также повышение надежности предполагается достигать за счет использования унифицированных ранее разработанных и апробированных аппаратных и программных компонентов. Унификация в большей мере относится к унификации интерфейсов аппаратных и программных средств с целью возможности их повторного использования и переносимости.

В комплексах БРЭО с архитектурой ИМА требуется обеспечить изолированность программ различных подсистем друг от друга. Стандарт ARINC 653 [3] регламентирует построение операционных систем, которые позволяют обеспечить изоляцию программ различных подсистем. Изоляция распространяется на все ресурсы, включая регистровую память, кэши центральных процессоров, шины (порты) ввода-вывода. Изоляция программ различных подсистем обеспечивается введением разделов и окон. Для программ каждой подсистемы выделяется свой раздел и набор временных окон (непересекающихся интервалов времени). Расписание закрытия и открытия окон строится предварительно. Программы раздела могут выполняться только в рамках своих окон и каждому разделу выделяется необходимая память, к которой не могут обращаться программы других разделов. Программы раздела внутри окна запускаются на выполнение по мере готовности данных в соответствии с приоритетами. Допустимо прерывание программы и ее последующее выполнение в этом окне или в одном из следующих окон раздела. Программы различных разделов могут взаимодействовать лишь путем передачи сообщений.

Бортовая сеть обмена данными комплексов БРЭО с архитектурой ИМА летательных аппаратов гражданской авиации строится на основе коммутируемой сети

AFDX [4], военной авиации – на основе базовых топологий FC [5]: точка-точка, коммутируемая сеть, кольцо с арбитражем. Построение этих сетей регламентируют соответственно стандарты ARINC 664 (AFDX) и FC-AE-ASM-RT. Соблюдение ограничений на время передачи сообщений в сети достигается за счет выделения гарантированной пропускной способности соединению между каждой парой конечных систем. Такое соединение может проходить через несколько пакетных коммутаторов и линий передачи данных. Соединение между конечными системами называют виртуальным каналом. Для контроля пропускной способности виртуального канала используют алгоритм текущего ведра с маркерами [6]. Передача данных между абонентами осуществляется путем передачи сообщений по виртуальным каналам, маршруты которых в физической сети определены заранее.

В следующих разделах на примере локационной подсистемы рассмотрим проблемы, которые могут приводить к снижению эффективности использования ресурсов бортового вычислителя.

## **2. Проблема увеличения потока данных в бортовой сети обмена.**

В гидроакустике и радиолокации широко используются фазированные антенные решетки (ФАР) и алгоритмы адаптивной обработки сигналов [7-9]. В зависимости от области применения решетки (бортовая, стационарная, гидроакустическая, радиолокационная и т.д.) требования к производительности и надежности вычислительной системы, осуществляющей обработку данных, могут существенно отличаться. Например, в зависимости от размера решетки, требуемая производительность вычислительной системы может отличаться до 6 порядков [10,11].

В вычислителе локационной системы с фазированной антенной решеткой выполняются следующие вычисления:

1. Оцифровка и нормализация данных снимаемых с ФАР.

Слов данных:  $K$  . Период опроса:  $1/a \cdot B$ .

2. Быстрое преобразование Фурье (БПФ).

$K$  операций БПФ на  $L$  точек. Период выполнения:  $L/a \cdot B$ .

3. Получение оценки взаимно-спектральной матрицы.

$L \cdot n$  операций внешнего произведения векторов размера  $K$ .

Период выполнения:  $n \cdot L/a \cdot B$ .

4. Нахождение собственных значений и векторов или

обращение взаимно-спектральных матриц.

$L$  матриц размера  $K \times K$ . Период выполнения:  $n \cdot L/a \cdot B$ .

5. Нахождение угловых координат.

Результат:  $3 \cdot M$  слов данных . Период выдачи:  $n \cdot L/a \cdot B$ .

Здесь  $K$  - число элементов антенной решетки,  $(-B, B)$  - полоса частот принимаемых сигналов,  $L = B/\Delta f$  - число анализируемых элементов разрешения по частоте,  $\Delta f$  - требуемая спектральная разрешающая способность,  $n$  - количество выборок анализируемых сигналов,  $M$  – число источников сигналов.

Рассмотрим вариант, когда в комплексе БРЭО с архитектурой ИМА в подсистеме выполняются лишь оцифровка и нормализация данных снимаемых с ФАР. А остальные вычисления выполняются в бортовом вычислителе.

В таблице 1 приведены количество слов данных (СД) от локационной системы и период их выдачи в бортовую сеть обмена комплексов с федеративной архитектурой и комплексов БРЭО с архитектурой ИМА.

Таблица 1. Поток данных в бортовой сети обмена от локационной подсистемы

Тип архитектуры	Количество СД	Период выдачи
федеративная	$3 \cdot M$	$n \cdot L/a \cdot B$
ИМА	$K$	$1/a \cdot B$

Параметры локационных систем имеют следующие значения:

$$32 \leq K \leq 2048, \quad 1 \leq M \leq 100, \quad n > 100, \quad 32 \leq L \leq 248.$$

Следовательно, в комплексах с архитектурой ИМА поток данных в бортовой сети обмена от локационной системы увеличивается в  $10^3$ – $10^5$  раз по сравнению с комплексами с федеративной архитектурой. То есть перенос программ локационной подсистемы на бортовой вычислитель приводит к значительному увеличению потока данных в бортовой сети обмена. Аппаратные затраты на увеличение пропускной способности бортовой сети обмена могут превысить экономию аппаратных затрат на вычислительные ресурсы.

### **3. Проблема эффективного использования ресурсов бортового вычислителя.**

В комплексах БРЭО с федеративной архитектурой в качестве вычислителей подсистем в основном использовались спецпроцессоры [9,12,13]. Это объясняется тем, что спецпроцессоры в разы эффективнее по критерию «производительность/аппаратные затраты». Допустимые затраты аппаратных средств для выполнения функциональных программ в режиме реального времени нельзя было обеспечить при использовании универсальных процессоров. Возможность применения эффективных спецпроцессоров объясняется тем, что в большинстве подсистем комплексов БРЭО используется цифровая обработка сигналов, алгоритмы которой характеризуются регулярной структурой и отсутствием ветвлений.

Добиться некоторого компромисса между спецпроцессорами и универсальными процессорами по критериям универсальность и «производительность/аппаратные затраты» позволяют сигнальные процессоры. Сигнальные процессоры (Digital signal processor, DSP) выпускаемые промышленностью (например, процессоры серий TMS320, ADSP) ориентированы на быстрое выполнение операции скалярного произведения векторов [14]. Типовые задачи и методы цифровой обработки сигналов, такие, как

цифровая фильтрация, преобразование Фурье, методы адаптивной обработки сигналов, методы сверхразрешения основаны на использовании этой операции. В DSP процессорах операция «умножение с накоплением» реализована аппаратно и выполняется за один машинный такт. Для программирования DSP процессоров обычно используют один из двух языков — ассемблер и Си. При использовании языков высокого уровня, в частности, Си, можно унифицировать и ускорить создание программ, но при этом ресурсы системы будут использоваться менее эффективно, по сравнению с программой, целиком написанной на ассемблере [15]. В таблице 2 приведены времена выполнения на процессоре DSP96002 типичных для цифровой обработки операций написанных на Си и ассемблере [15]. В колонках первое число показывает время работы кода программы в тактах процессора, полученного при помощи компилятора g96k (исходная программа написана на Си), второе – время работы кода, написанного на ассемблере, третье – отношение первых двух,  $N$  – размер вектора (матрицы). Так как компилятор не учитывает особенности архитектуры процессора DSP96002, время работы программы на Си не зависит от того, в каком порту расположены данные. В случае написания оптимизированной программы на ассемблере время выполнения программы будет зависеть от расположения данных. В таблице 2 приведены только случаи наихудшего расположения данных по критерию отношение времени работы программы написанной на Си и ассемблере.

Язык ассемблера является машинно-ориентированным, то есть каждое семейство процессоров имеет язык, отличающийся от языка других семейств, и не позволяет обеспечить унификацию программного обеспечения. Использование в бортовом вычислителе DSP процессоров позволит улучшить эффективность БРЭО по критерию «производительность/аппаратные затраты». Однако, для унификации программного обеспечения придется использовать язык Си, что приводит к менее эффективному использованию аппаратных ресурсов DSP процессоров чем в федеративных архитектурах.

Некоторое ослабление требований к унификации аппаратных и программных средств может привести к повышению эффективности использования аппаратных ресурсов бортового вычислителя. Например, во многих подсистемах используется операция быстрого преобразования Фурье и частота выполнения этой операция высокая. В этом случае, целесообразно в бортовом вычислителе использовать специализированный вычислительный модуль для операции быстрого преобразования Фурье с унифицированным интерфейсом. Подход к разработке подобных модулей предложен в работе [16]. Следует отметить, что такой спецпроцессор должен позволять выполнять операции для массивов данных различных размеров. Для многих спецпроцессоров (например систолических процессоров [13]) для обеспечения этой возможности могут потребоваться дополнительные аппаратные затраты сравнимые с затратами на построение процессора для выполнения операции с фиксированными размерами массивов данных.

Таблица 2. Времена выполнения на процессоре DSP96002 операций используемых в цифровой обработке сигналов написанных на Си и ассемблере.

Операция	$N=16$	$N=32$	$N=64$	$N=128$	$N \rightarrow \infty$
Скалярное произведение векторов	1402	2682	5242	10362	10.0
	164	292	548	1060	
	8.549	9.185	9.566	9.775	
Умножение вектора на скаляр	1322	2570	5066	10058	9.5
	164	292	548	1060	
	8.061	8.801	9.245	9.489	
Поэлементное умножение векторов	1268	2452	4820	9556	9.25
	166	294	550	1062	
	7.639	8.340	8.764	8.998	
Внешнее произведение векторов	5996	23180	91340	362828	11.0
	676	2340	8740	33828	
	8.870	9.906	10.451	10.726	
Умножение матриц	116502	891318	6972150		12.5
	11554	82214	590374	-	
	10.083	10.841	11.810		
Транспонирование матриц	10622	41662	165182	657982	10.0
	1242	4506	17178	67098	
	8.552	9.246	9.616	9.806	

#### 4. Какие программы не следует переносить в бортовой вычислитель.

Из разделов «Проблема увеличения потока данных в бортовой сети обмена» и «Проблема эффективного использования ресурсов бортового вычислителя» следует, что аппаратные затраты на построение комплекса БРЭО могут увеличиваться при переносе программ первичной обработки данных с вычислителя подсистемы на бортовой вычислитель, если выполняются условия:

1. Разница между временем выполнения программы на бортовом вычислителе и требуемым периодом выполнения программы мала.
2. Подсистема используется во всех режимах работы комплекса БРЭО.
3. Перенос программы на бортовой вычислитель приводит к увеличению потока данных в бортовой сети обмена.

Первые два условия означают, что требуемые ресурсы бортового вычислителя выделяются программе монополично. Требование унификации аппаратных и программных компонентов приводит к увеличению ресурсов бортового вычислителя, используемых программой для ее выполнения в реальном времени, как минимум на порядок по сравнению со специализированным вычислителем подсистемы. То есть, в случае переноса программы и выделения ей ресурсов бортового вычислителя (вычислительных модулей, ядер) монополично аппаратные ресурсы необходимые для выполнения программы в реальном времени возрастают.

Если первые два условия не выполняются, но перенос программы на бортовой вычислитель приводит к значительному увеличению потока данных в бортовой сети обмена, то надо проверять не превысят ли аппаратные затраты на увеличение пропускной способности бортовой сети экономию затрат на аппаратные ресурсы вычислителей.

## **5. Проблема комплексирования подсистем.**

При построении комплексов БРЭО с архитектурой ИМА значительно возрастает сложность этапа комплексирования подсистем. В комплексах БРЭО с федеративной

архитектурой основной задачей, которая требовала разработки алгоритмов для автоматизации ее решения и соответствующих инструментальных средств, являлась задача построения расписания обменов по каналам с централизованным управлением.

При построении комплексов БРЭО с архитектурой ИМА требуется решать задачи структурного синтеза бортового вычислителя, структурного синтеза бортовой сети обмена и построения согласованных расписаний выполнения функциональных задач и обменов данными (построение виртуальных каналов, определение их характеристик и построение для виртуальных каналов маршрутов в бортовой сети обмена).

Конкретные постановки задач структурного синтеза зависят от архитектуры бортового вычислителя и типа бортовой сети обмена.

При структурном синтезе бортового вычислителя всегда (не зависимо от его архитектуры) требуется определить: минимально необходимое количество вычислительных модулей, количество ядер в вычислительных модулях распределить разделы по модулям и ядрам, для каждого ядра строить расписания открытия и закрытия окон разделов. Модуль может включать несколько многоядерных процессоров и имеет разделяемую память. Программы одного и того же раздела, выполняющиеся в одном вычислительном модуле, могут взаимодействовать через память. Программы разных разделов и программы, выполняющиеся на разных вычислительных модулях, могут взаимодействовать только путем передачи сообщений.

При построении коммутируемой бортовой сети необходимо построить: структурную схему сети обмена и множество виртуальных каналов.

Структурная схема определена если заданы:

- топология сети, которая представляет собой граф: листовые вершины - абоненты, внутренние вершины - коммутаторы и оконечные системы;
- спецификация коммутаторов и оконечных систем, включая способы буферизации и дисциплины обслуживания буферов.

При построении множества виртуальных каналов для каждого канала должны быть определены значения его параметров. Например, для сетей AFDX [17]:

- Максимальный размер кадра, передаваемый по данному виртуальному каналу (байт).
- Минимальный промежуток времени между передачей кадров при нулевом джиттере порождения кадров (мс). Согласно стандарту, данное значение лежит в промежутке от 1 до 128 мс и является степенью двойки.
- Максимальный джиттер порождения кадров на оконечной системе-отправителе (мс).
- Оконечная система-отправитель кадров данного виртуального канала.
- Множество оконечных систем-получателей кадров данного виртуального канала.
- Маршрут виртуального канала в сети. Маршрут представляет собой дерево, в котором корнем является оконечная система-отправитель, а листьями являются оконечные системы-получатели.
- Множество сообщений, передаваемых по данному виртуальному каналу.

Решение этих задач для комплексов БРЭО с большим числом подсистем и прикладных программ без использования систем автоматизированного проектирования (САПР) проблематично.

В лаборатории Вычислительных комплексов факультета ВМК МГУ им. М.В. Ломоносова для комплексирования подсистем с федеративной архитектурой был разработан САПР МКИО (мультиплексного канала информационного обмена) [18]. В САПР для построения расписания обменов используются алгоритмы, сочетающие жадные стратегии и ограниченный перебор [19]. Они позволяют задавать баланс между точностью и вычислительной сложностью алгоритма и допускают простую настройку на тип контроллера МКИО. САПР используется при проектировании авиационных комплексов БРЭО и корабельных навигационных комплексов [20].

Для комплексирования подсистем в БРЭО с архитектурой ИМА разработаны прототипы:

- САПР функциональных задач [21],
- САПР AFDX [17, 22].

Ограничения на корректность решений в САПР AFDX определяются требованиями стандарта [4]. Ограничения на корректность решений в САПР функциональных задач определяются требованиями стандарта [3] и особенностями российской операционной системы реального времени (ОС РВ) Багет 3.0 [23,24] соответствующей стандарту ARINC 653. В ОС РВ Багет 3.0 стандарт ARINC 653 выбран в качестве основного. Реализованы все обязательные функции ARINC 653. Стандарт POSIX используется в той мере, в какой это не противоречит ARINC 653.

#### **Заключение.**

Для повышения эффективности использования аппаратных средств и сокращения сроков и стоимости проектирования комплексов БРЭО с архитектурой ИМА необходимы:

- САПР структурного синтеза бортового вычислителя и построения расписания выполнения функциональных задач.
- САПР структурного синтеза бортовой сети обмена и ее конфигурирования.
- Высокоуровневая САПР ИМА, отвечающей за согласованное решение задач структурного синтеза, планирования вычислений и обменов и определение набора программ первичной обработки данных, которые следует переносить с вычислителей подсистем на универсальные вычислительные модули.

#### **СПИСОК ЛИТЕРАТУРЫ**

1. В.Куминов, Б. Наумов. Космические компьютеры: открытые стандарты и технологии выходят в открытый космос // Мир компьютерной автоматизации, 2002, №3. – С.71-79.
2. ARINC 651-1 “Design Guidance for Integrated Modular Avionics”, 1997.
3. Arinc Specification 653. Airlines Electronic Engineering Committee. [PDF] (<http://www.arinc.com>).
4. Aircraft DataNetwork. Part 7. Avionics Full Duplex Switched Ethernet (AFDX) Network. // Aeronautica IRadio, Inc. – 2012.
5. INCITS 373. Information Technology -Fibre Channel Framing and Signaling Interface (FC-FS), International Committee for Information Technology Standards, 2003.
6. Смелянский Р. Л.. Компьютерные сети (т. 2). М.: Академия, 2011. - 240 с.
7. Монзинго Р.А.,Миллер Т.У. Адаптивные антенные решетки. - М.: Радио и связь, 1986. - 448с.
8. Уиндрой Б.,Стринз С. Адаптивная обработка сигналов. - М.: Радио и связь, 1989. - 440с.
9. Сверхбольшие интегральные схемы и современная обработка сигналов/ Под ред. С. Гунна, Х. Уайтхауса, Т. Кайлата. – М.: Радио и связь, 1989. – 472с.
10. Костенко В.А. Крупноблочный параллелизм в задачах обработки сигналов // Программирование – 1997. - № 2 - С.67-75.  
Kostenko V.A. Large-grain parallelism in signal processing problems // Programming and Computer Software – 1997 - Vol. 23 - № 2 - pp. 109-115.
11. Костенко В.А. Построение вычислительных комплексов цифровой обработки сигналов с концепцией архитектуры "открытых" систем // Автоматика и телемеханика - 1994. - № 12 - С.151-162.

- Kostenko V.A. Design of computer-systems for digital signal-processing based on the concept of open-architecture // Automation and Remote Control – 1994. -Vol. 55 - № 12 - pp. 1830-1838.
12. С. Кун. Матричные процессоры на СБИС. - М.: Мир, 1991. – 672с.
13. Кухарев Г.А., Тропченко А.Ю., Шмерков В.П. Системные процессоры для обработки сигналов.- Минск: Беларусь, 1988. – 126с.
14. Круг П. Г. Процессоры цифровой обработки сигналов: Учебное пособие. - М.: Издательство МЭИ, 2001. – 128с.
15. Балашов В.В., Капитонова А.П., Костенко В.А., Смелянский Р.Л., Ющенко Н.В. Метод и средства оценки времени выполнения оптимизированных программ // Программирование. – 1999. - №5 – С 52-61.
- Balashov V.V., Kapitonova A.P., Kostenko V.A., Smelyanskii R.L., Yushchenko N.V. Methodology and tools for predicting the execution time of optimized programs // Programming and Computer Software. - 1999. - Vol. 25 - № 5 - С. 282-289.
16. А. В. Шукалов, П. П. Пармонов, Е. В. Книга, И. О. Жаринов. Принципы построения вычислительных компонентов систем интегрированной модульной авионики // Информационно управляющие системы. – 2014. - №5 – С 64-71.
17. Вдовин П.М., Костенко В.А. Исследование эффективности процедуры агрегации виртуальных каналов при построении бортовых коммутируемых сетей // Вестн. Моск. ун-та. Сер. 15. Вычислительная математика и кибернетика. - 2015. - №. 4 - С. 32-40.
- Vdovin P.M., Kostenko V.A. Studying the Effectiveness of an Aggregation Procedure for Virtual Links in Constructing Onboard Switched Networks // Moscow University Computational Mathematics and Cybernetics, 2015, Vol. 39, № 4, pp. 184-192.

18. . Р. Смелянский, В. Костенко, В. Балашов, В. Балаханов. Инструментальная система построения расписания обмена данными по каналу с централизованным управлением // Современные технологии автоматизации. - 2011. - № 3 - С.78-84.
19. Костенко В.А., Гурьянов Е.С. Алгоритм построения расписаний обменов по шине с централизованным управлением и исследование его эффективности // Программирование. - 2005. - №6 - С.67-76.  
V. A. Kostenko and E. S. Gury'anov An Algorithm for Scheduling Exchanges over a Bus with Centralized Control and an Analysis of Its Efficiency // Programming and Computer Software – 2005. - Vol. 31, № 6 - pp. 340–346.
20. Колесов Н.В., Толмачева М.В., Юхта П.В. Системы реального времени. Планирование, анализ, диагностирование. - Санкт-Петербург: ОАО «Концерн «ЦНИИ «Электроприбор», 2014. – 180с.
21. Balashov V., Balakhanov V., Kostenko V. Scheduling of computational tasks in switched network-based ima systems // Proc. International Conference on Engineering and Applied Sciences Optimization. — National Technical University of Athens (NTUA) Athens, Greece, 2014. — P. 1001–1014.
22. Вдовин П.М., Костенко В.А. Организация передачи сообщений в сетях AFDX // Программирование. – 2016., № 5.
23. Годунов А.Н., Операционные системы реального времени Багет 3.0. // Программные продукты и системы, 2010 г., № 4. С. 15-19.
24. Годунов А.Н., Солдатов В.А., Операционные системы семейства Багет (сходство, отличия и перспективы) // Программирование, 2014 г., № 5. С. 69-76.